

**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**

PAT-NO: JP407021227A  
DOCUMENT- JP 07021227 A  
IDENTIFIER:  
TITLE: LOGIC SYNTHESIS METHOD FOR ASYNCHRONOUS LOGIC  
CIRCUIT  
PUBN-DATE: January 24, 1995

## INVENTOR-INFORMATION:

NAME COUNTRY  
AKAHA, MASASHI

## ASSIGNEE-INFORMATION:

NAME COUNTRY  
FUJI FACOM CORP N/A

APPL-NO: JP05150797  
APPL-DATE: June 22, 1993

INT-CL (IPC): G06F017/50

## ABSTRACT:

PURPOSE: To shorten prescribed time for optimizing an asynchronous logic circuit by automatically optimizing a circuit for setting a clock.

CONSTITUTION: A clock network connected to the clock input terminal of a logic element in the asynchronous logic circuit is made into a group and it is detached from the asynchronous logic circuit. A part where the clock network of the asynchronous logic circuit is removed is divided for the respective different parts of a clock signal. Then, the asynchronous logic circuit is optimized by using a function simulation result for the respective different parts of the detached clock network and the divided clock signals. Namely, the clock network 20 is detached from the circuit, and the remaining logic circuit is divided into the different parts of the clock signal. The clock network 20 is detached as a module 3, and the remaining circuit is divided into a module 1 including only a flip flop 3 and a module 2 including flip flops 4 and 5.

COPYRIGHT: (C) 1995, JPO

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-21227

(43) 公開日 平成7年(1995)1月24日

(51) IntCl. <sup>5</sup>	識別記号	庁内整理番号	F I	技術表示箇所
G 0 6 F 17/50		7623-5L	G 0 6 F 15/ 60	3 6 0 K

審査請求 未請求 請求項の数 2 O L (全 13 頁)

(21) 出願番号 特願平5-150797

(22) 出願日 平成5年(1993)6月22日

(71) 出願人 000237156

富士ファコム制御株式会社  
東京都日野市富士町1番地

(72) 発明者 赤羽 正志

東京都日野市富士町1番地 富士ファコム  
制御株式会社内

(74) 代理人 弁理士 大曾 義之

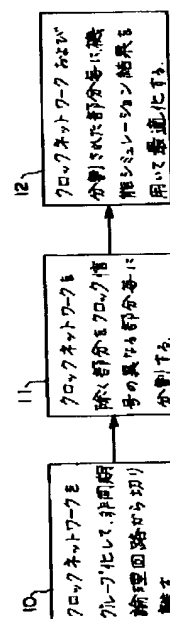
(54) 【発明の名称】 非同期論理回路の論理合成方法

(57) 【要約】

【目的】 論理素子のクロック入力端子に対して組合せ回路の出力が非同期クロックとして入力される非同期論理回路の論理合成方法に関し、機能シミュレーション結果を用いて回路の最適化に要する時間を短縮することを目的とする。

【構成】 論理素子のクロック入力端子に接続されるクロックネットワークをグループ化して非同期論理回路から切り離し、残りの部分をクロック信号の異なる部分毎に分割し、切り離されたクロックネットワーク、およびクロック信号の異なる部分毎に機能シミュレーション結果を利用して最適化を行うように構成する。

本発明の機能ブロック図



## 【特許請求の範囲】

【請求項1】 論理素子のクロック入力端子に対して組合せ回路の出力が非同期クロックとして入力される非同期論理回路において、

該非同期論理回路内の論理素子のクロック入力端子に接続されるクロックネットワークをグループ化して、該非同期論理回路から切り離し(10)、

該非同期論理回路の該クロックネットワークを除く部分を、クロック信号の異なる部分毎に分割し(11)、

該切り離されたクロックネットワーク、および該分割されたクロック信号の異なる部分毎に、該非同期論理回路の機能シミュレーション結果を利用して最適化を行う

(12)ことを特徴とする非同期論理回路の論理合成方法。

【請求項2】 前記最適化を行うために利用される機能シミュレーション結果が、前記非同期論理回路の機能ブロックに対する信号値がある変化を起こしてから該変化と同一、または異なる変化を起こすまでの最小時間として定義される最小変化時間、および該最小変化時間と該非同期論理回路における基本クロック周期の比として定義される最小変化比率であることを特徴とする請求項1記載の非同期論理回路の論理合成方法。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】本発明は特定用途向け集積回路(ASIC)の設計方式に係り、更に詳しくは論理素子のクロック入力端子に対して組合せ回路の出力が非同期クロックとして入力される非同期論理回路のネットリストの生成を論理合成装置を利用して行うための、非同期論理回路の論理合成方法に関する。

## 【0002】

【従来の技術】図23は本発明が対象とする非同期論理回路の例である。同図において、フリップフロップ1のクロック入力端子にアンド回路2が接続され、その出力が非同期クロックとして与えられている。

【0003】図24は非同期、多相クロックを利用した論理回路の例である。同図において、フリップフロップ3に対してはアンド回路6の出力としてのクロックネット①が接続され、フリップフロップ4および5に対してはアンド回路7の出力としてのクロックネット②が接続されている。これらのクロックは、図23におけると同様に非同期クロックである。

【0004】このような非同期論理回路に対して最適化を行おうとする場合に、例えば図23においてアンド回路2に対する2つの入力CS、WTの波形がどのようになるかを論理合成装置側で予測することはできず、フリップフロップ1のクロック入力に関するタイミング、すなわち動作周波数を求めることができず、最適な回路を得ることが困難であるという問題点があった。

【0005】図25はこのような非同期論理回路に対す

る最適化におけるクロックの設定の従来方式の説明図である。同図(a)は第1の従来手法を示し、この方式では設計者によってアンド回路の出力点に仕様を満足するクロックの設定が手作業によって行われていた。

【0006】図25(b)は第2の従来手法である。この方式では手作業によってクロックネットワークがブロック化(階層化)されて、論理回路から切り離され、残りの論理回路のクロック入力端子に対するクロック設定が設計者によって手作業で行われていた。

## 10 【0007】

【発明が解決しようとする課題】以上説明した従来の論理合成方式においては、複雑な非同期回路に対して適正なクロックの制約が設定されない場合には最適な回路が得られない、すなわち動作周波数が不明のために要求される周波数で動作しない回路となってしまうという問題点があった。また最適な回路を得ようとして人手によってクロックの制約を設定する場合には、最適な回路を得るためにその設定に要する時間が非常に長くなるという問題点があった。

## 20 【0008】本発明は、非同期論理回路に対する機能シミュレーションの結果を利用して、非同期論理回路の最適化に要する時間を短縮することである。

## 【0009】

【課題を解決するための手段及び作用】図1は本発明の機能ブロック図である。同図は、論理素子のクロック入力端子に対して組合せ回路の出力が非同期クロックとして入力される非同期論理回路において、機能シミュレーション結果を利用して最適化を行う、非同期論理回路の論理合成方法の機能ブロック図である。

## 30 【0010】図1において、まず10で非同期論理回路内の論理素子のクロック入力端子に接続されるクロックネットワークがグループ化されて、非同期論理回路から切り離される。

【0011】11で非同期論理回路のクロックネットワークを除く部分がクロック信号の異なる部分毎に分割され、12で切り離されたクロックネットワーク、および分割されたクロック信号の異なる部分毎に、非同期論理回路の最適化が機能シミュレーション結果を利用して行われる。

## 40 【0012】例えば図24の論理回路では、クロックネット①と、クロックネット②とがクロックネットワークとしてブロック化され、残りの論理回路が異なるクロック毎に分割される。この場合フリップフロップ3に対するクロック入力と、フリップフロップ4および5に対するクロック入力とが異なっているので、例えばフリップフロップ3のみが1つの部分として分割され、例えばフリップフロップ3と4の間の組合せ回路8を含んで、その他の全ての部分が他の部分として分割される。

## 50 【0013】また本発明において切り離されたクロックネットワーク、分割されたクロック信号の異なる部分毎

に行われる最適化において、利用される機能シミュレーション結果は、例えば非同期論理回路の機能ブロックに対する信号値がある変化を起こしてからその変化と同一、または異なる変化を起こすまでの最小時間として定義される最小変化時間、およびその最小変化時間と非同期論理回路の基本クロック周期との比として定義される最小変化比率である。

#### 【0014】

【実施例】図3は本発明が対象とする非同期、多相クロックを利用した非同期論理回路の例である。同図は実質的に図24と同一であるが、クロックネット①とクロックネット②とによって構成されるクロックネットワークが1つのグループ20として階層化されている。

【0015】図3は図2の回路からクロックネットワーク20を切り離し、かつ残りの論理回路をクロック信号の異なる部分毎に分割した結果を示す。同図においてクロックネットワークはモジュール3として切り離され、また残りの論理回路はフリップフロップ3のみを含むモジュール1と、フリップフロップ4、5を含むモジュール2とに分割されている。

【0016】図4は非同期、多相クロックを使った他の論理回路の例である。同図においてアンド回路25に対する入力D2ENは4ビットのデータであり、この4ビットとフリップフロップ21の出力D2CKとの論理積がアンド回路25から出力される。アンド回路26に対する入力D3ENについても同様である。

【0017】図5は図4の論理回路においてクロックネットワークを階層化（グループ化）した結果を示す。クロックネットワークはブロック30としてグループ化されている。

【0018】図6は図4、図5の回路からクロックネットワークを切り離し、また残りの論理回路をクロックの異なる部分毎に分割した結果を示す。図7は非同期クロックを使った論理回路の第3の例である。同図において、2つのフリップフロップ31、32には同一のクロックが入力されており、クロックネットワークは3つのアンド回路33～35、およびオア回路36から構成されている。

【0019】図8は図7の回路からクロックネットワークを分離した結果を示し、同図(a)は残りの論理回路を、(b)は分離されたクロックネットワークを示している。図9は図4の論理回路に対する機能シミュレーション結果を示す。これらの機能シミュレーション結果から、本発明における非同期論理回路の最適化において用いられる最小変化時間、および最小変化比率について次に説明する。

【0020】図10は最適化に用いられる最小変化時間の説明図である。最小変化時間は、論理回路のある機能ブロックの信号の値にある特定の変化が起こってからそれと同一、または異なる変化が起こるまでの時間として

定義され、従って一般的に複数種類の最小変化時間を定義することが可能であるが、回路の論理合成において利用される最小変化時間の種類は回路の種類やピンの属性などによって特定化される。

【0021】図10において最小変化時間として多くの種類が定義可能であるが、本実施例においてはクロック信号に対して3種類の最小変化時間が用いられる。図11は図9の機能シミュレーション結果に対して定義される3種類の最小変化時間を、3つのクロック信号CK1～CK3に対して示したものである。ここで最小変化時間は立ち上がりから次の立ち上がりまで、立ち上がりから次の立ち下りまで、立ち下りから次の立ち上がりまでの時間の3種類として定義されている。この3種類はクロックの動作周期を定義するために必要なものである。

【0022】図12は図11の最小変化時間を利用したクロックタイミングの定義結果を示し、クロックCK1に対してはその動作周期が3、CK2に対しては動作周期が7、CK3に対しては動作周期が14を持つクロックとしてクロックの制約が与えられる。

【0023】図12におけるクロック周期はクロックの最小動作周期、言い換えれば最速動作周波数に対応するものである。図13は最小動作周期の説明図である。同図においては、図4のアンド回路24に対する2つの入力D1EN、およびD1CKに対する出力CK1の波形から最小動作周期が得られる経過を示している。

【0024】最小変化時間などを用いたクロックネットワークの最適化を説明する前に、クロックネットワーク以外の分割された論理回路の部分の最適化を簡単に説明する。図14はデザインルールによる最適化の例である。同図は図4の回路でフリップフロップ21の駆動能力とアンド回路25の入力端子の負荷係数との間のデザインルールに関する最適化である。すなわちフリップフロップ21の駆動能力が10であり、アンド回路25の入力端子D2CKの負荷係数が30であるとすれば、デザインルールエラーがあることになり、このままではデザインルールに適合しないので、フリップフロップ21の出力端子とアンド回路25の入力端子D2CKとの間にバッファ40を挿入し、このバッファの出力として駆動能力を36に上げることで、デザインルールを満たした最適化が行われる。

【0025】次にクロックネットワークにおけるクロック周期の設定などについて、図15～図17を用いて説明する。図15は全体の出力OUTの最小変化時間、および最小変化比率を利用したクロックの設定を行う対象回路の例である。同図において、回路はフリップフロップ41～43、およびアンド回路44から構成されている。

【0026】図16は図15の回路に対する機能シミュレーション結果を示す。これにより出力OUTの最小変化時間は基準クロックの周期を「1」とする時「3」と

なり、最小変化時間の基準クロック周期に対する比としての最小変化比率も「3」となる。

【0027】この最小変化比率はその信号が基準クロックに対して何倍の速度で変化しているかに対応する値であり、ここでアンド回路44の出力Xが結局最短でも3クロックかかって変化していることから、アンド回路44の2つの入力W1、W2のどちらか一方が変化してから、3クロック以内（実際にはセットアップ時間やホールド時間を考慮する必要がある）に出力Xが確定すればよいことになる。

【0028】図17は図16の結果を利用して設定された仮想クロックの説明図である。仮想クロックとして基準クロックの3倍の周期を持つクロックが用いられている。このように最小変化時間、および最小変化比率を用いてクロックの制約の設定が可能となるが、実際には基準クロックはこの方法によって設定されたタイミングよりも早く動作するため、図17に示すようにタイミングマスク領域を確保して、この領域内で出力Xの信号値が変化するのを防止する必要がある。

【0029】図18～図21は、図15～図17で説明した最適化を更に詳細に説明するためのものである。図18は図16で示したものと同様のシミュレーション結果であるが、ここではアンド回路44の出力Xと関連させて、入力端子W1とXの間の信号の最小変化時間と、入力W2とXとの間の信号の最小変化時間を示している。この最小変化時間は、例えばW1とXとの間の信号に対しては、出力Xが図より遅く立ち上ると、この最小変化時間が伸びてクロック周期を「1」とする時、最小変化時間が「2」を越えることを意味している。そして、この最小変化時間を基にして、論理合成装置側ではW1とXの間の最大遅延時間、およびW2とXの間の最大遅延時間を設定することができる。

【0030】図19は図15のフリップフロップ43に対するクロック信号をCK3として、前述の仮想クロックを用いた場合のフリップフロップのセットアップタイム、ホールドタイムと仮想クロックの立ち上りの関係を示すものである。このように基準クロックの動作周期の整数倍、ここでは3倍の仮想クロックの設定を行うことができるために、フリップフロップ43に対するデータ入力、すなわちXとクロックの関係をセットアップタイム、ホールドタイムとを考慮しても十分緩和することができる。回路の機能に即した最適化を行うことができる。

【0031】図20は仮想クロックの説明図である。同図に示すように、基準クロックの動作周期に対して最小変化比率「3」を乗ずることにより、仮想クロックの周期「6」が求められる。

【0032】図21はタイミングマスク領域の詳細説明図である。タイミングマスク領域とは、図15のアンド回路44の出力Xの信号値が基準クロックに対して変化してはならない時間を示すものである。前述のように、

このアンド回路の入力W1と出力Xの間の信号の最小変化時間は「2」であり、信号W1が変化してからXが出力されるまでの遅延時間が「2」以内であればよいことになる。しかしながら実際に動作するクロックの周期は「1」であり、W1とXの間の信号の最小変化時間の時間内であってもXの信号レベルが変化してはならない時間帯が生じる。その時間は基準クロックの整数倍の値を基準として、セットアップ時間とホールド時間とを加算した時間帯である。また実際には配線による遅延時間も含まれるために、正確にはセットアップ時間、ホールド時間、および配線遅延時間を加算した時間帯となる。

【0033】前述のように機能シミュレーション結果、すなわち最小変化時間と最小変化比率を用いてクロックネットワークにおけるクロック周期の設定を行うこともできるが、また例えばフリップフロップ相互間の回路に対して遅延時間の最大値を設定することができ、フリップフロップ相互間のデータ経路内の組合せ回路のゲート面積と速度のトレードオフの範囲が広がり、論理回路の最適化結果が向上する。

【0034】図22は組合せ回路としてのゲートの最適化の説明図である。同図(a)のゲート回路が最適化され同図(b)に示すようになると、ゲート面積は12から8に、遅延時間は0.6nsから0.4nsに向上する。

【0035】以上のように1つのグループとして分離されたクロックネットワーク、クロック信号の異なる部分毎に分割された論理回路のそれぞれは個別に最適化され、その結果は最終的に1つの回路として成り立つように接続され、非同期回路の論理合成が行われる。

【0036】

【発明の効果】以上詳細に説明したように、本発明によれば非同期でかつ多相のクロックを用いた論理回路の論理合成において、手作業で行われていたクロックの設定などの回路の最適化を自動的に実行することが可能となり、機能シミュレーション結果としての最小変化時間、最小変化比率を利用して回路の最適化が実現できる。

【図面の簡単な説明】

【図1】本発明の機能ブロック図である。

【図2】本発明の対象としての非同期、多相クロックを用いた回路の例を示す図である。

【図3】図2の回路の分割結果を示す図である。

【図4】非同期、多相クロックを用いた論理回路の第2の例を示す図である。

【図5】図4の論理回路におけるクロックネットワークをグループ化した結果を示す図である。

【図6】図5の論理回路の分割結果を示す図である。

【図7】非同期論理回路の第3の例を示す図である。

【図8】図7の回路の分割結果を示す図である。

【図9】図4の論理回路の機能シミュレーション結果を示す図である。

【図10】最小変化時間の定義を説明する図である。

7

【図11】クロック信号に対する最小変化時間の説明図である。

【図12】最小変化時間を利用したクロックタイミングの定義を説明する図である。

【図13】最速動作周波数に対応する最小動作周期の説明図である。

【図14】デザインルールを用いた論理回路最適化の説明図である。

【図15】クロックネットワークにけるクロック周期の設定を説明するための回路の例を示す図である。

【図16】図15の論理回路に対するシミュレーション結果を示す図である。

【図17】図15の回路に対する仮想クロックの設定を説明する図である。

【図18】図15の回路に対するアンド回路44の出力Xを含めた機能シミュレーション結果を示す図である。

【図19】仮想クロックとセットアップタイム、およびホールドタイムの関係を説明する図である。

【図20】仮想クロックと基準クロックの周期の関係を説明する図である。

10 【符号の説明】

- 1, 3~5 フリップフロップ
- 2, 6, 7 アンド回路
- 8, 9 組合せ回路
- 20 階層化(グループ化)されたクロックネットワーク
- 21~23 フリップフロップ
- 24~26 アンド回路
- 30 階層化(グループ化)されたクロックネットワーク

20

8

【図21】タイミングマスク領域の詳細説明図である。

【図22】組合せ回路のゲート面積および遅延時間の最適化を説明する図である。

【図23】非同期クロックを用いた論理回路の例を示す図である。

【図24】非同期、多相クロックを用いた論理回路の例を示す図である。

【図25】非同期論理回路のクロック設定の従来手法を説明する図である。

【図1】

【図2】

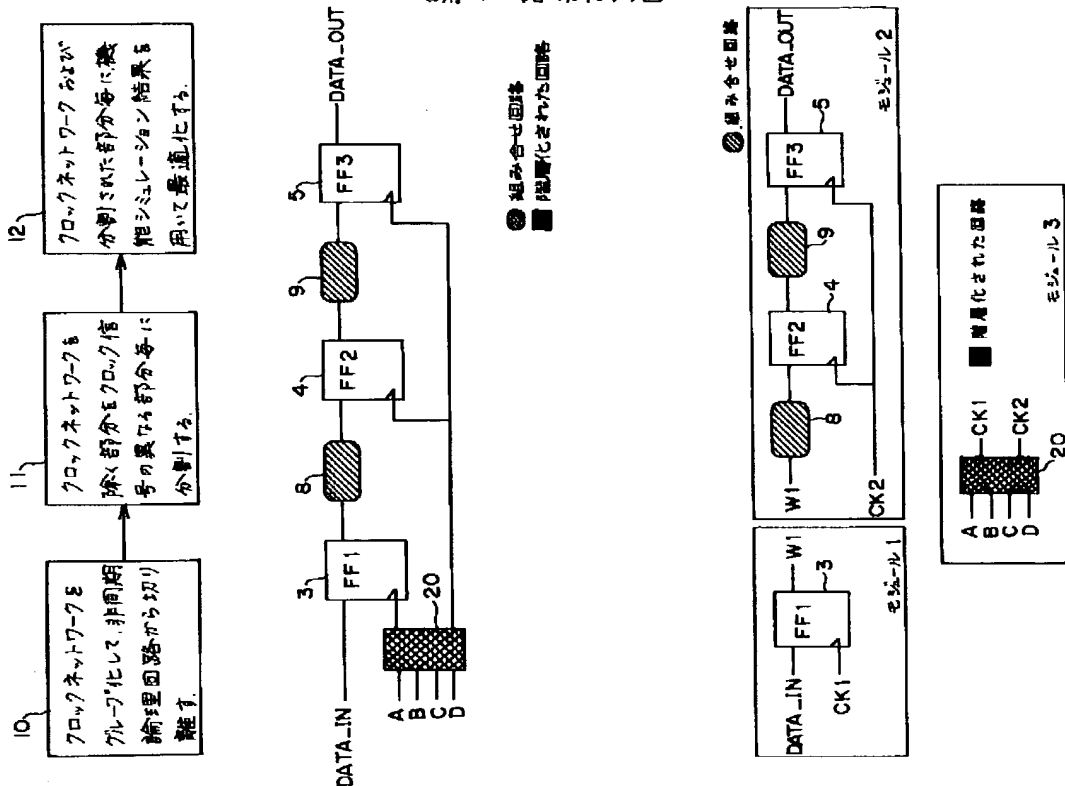
【図3】

本発明の機能ブロック図

本発明の対象としての非同期、多相クロック

図2の回路の分割結果を示す図

を用いた回路の例を示す図

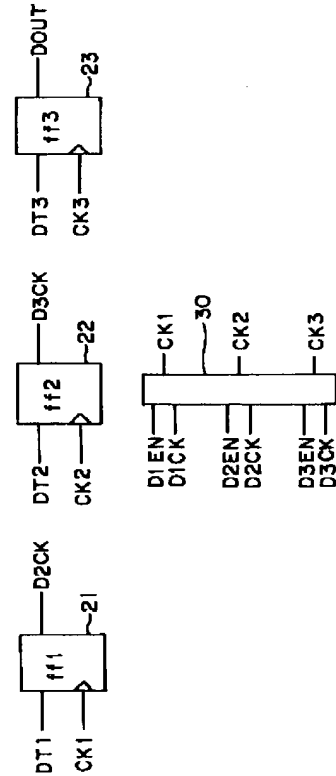
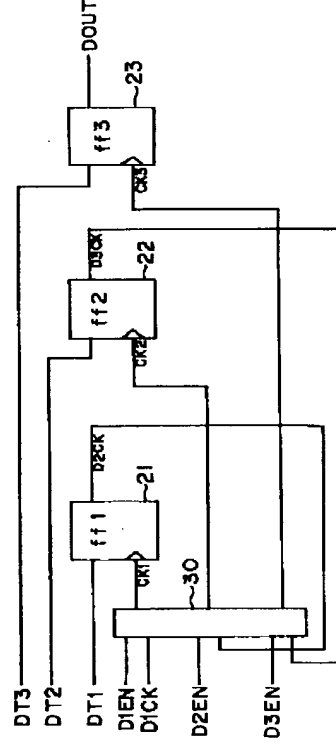
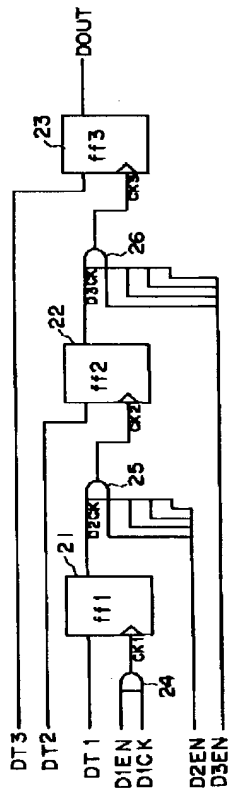


【図4】

【図5】

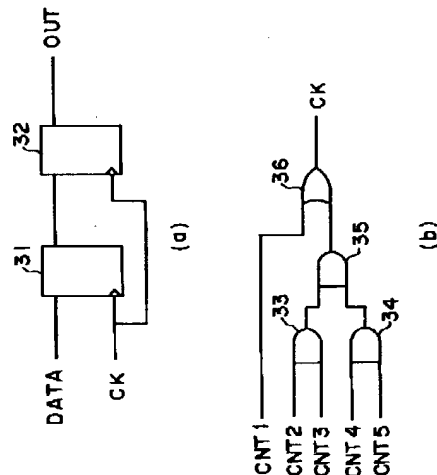
【図6】

非同期、多相クロックを用いた論理回路 図4の論理回路におけるクロックネットワークも図5の論理回路の分割結果を示す図のオ2の例を示す図 グループ化した結果を示す図



【図8】

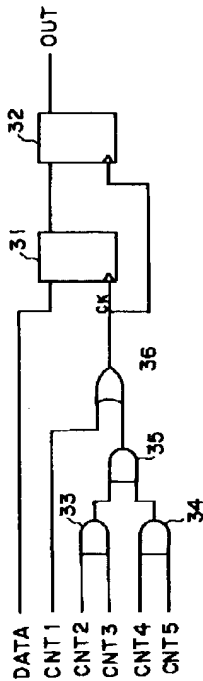
図7の回路の分割結果を示す図





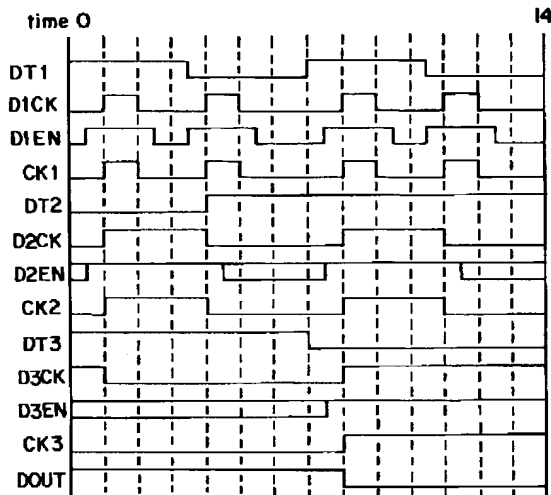
【図7】

非同期論理回路のオアの例を示す図



【図9】

図4の論理回路の機能シミュレーション結果を示す図



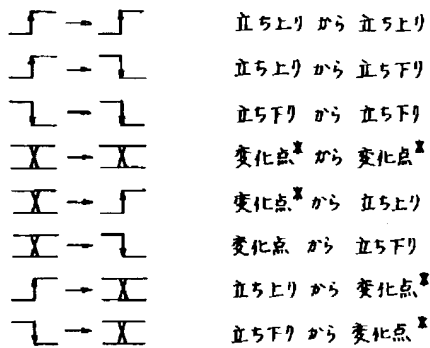
【図11】

【図23】

クロック信号に対する最小変化時間の非同期クロックを用いた論理回路の説明図  
例を示す図

【図10】

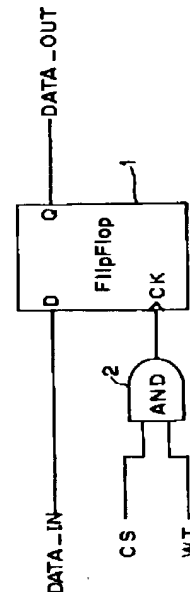
最小変化時間の定義を説明する図



X: 変化点は Z → 1又は0  
 X → 1又は0  
 1又は0からZ  
 1又は0からX

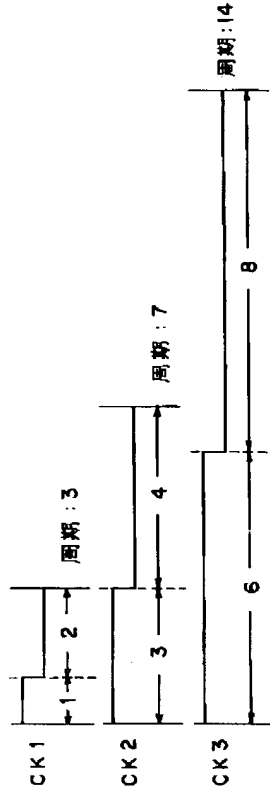
の中のどれか1つ。(ただしZは  
 ハイインピーダンス, Xは不定)

信号名	最小変化時間			
	1	2	3	4
CK1	1	2	3	4
CK2	3	7	6	8
CK3	14			



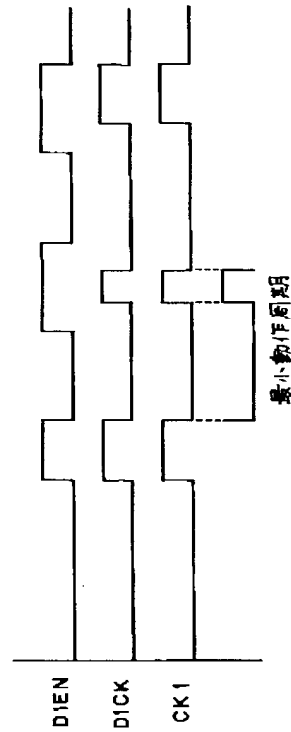
【図12】

最小変化時間を利用したクロックタイミングの最速動作周波数に対応する  
定義を説明する図



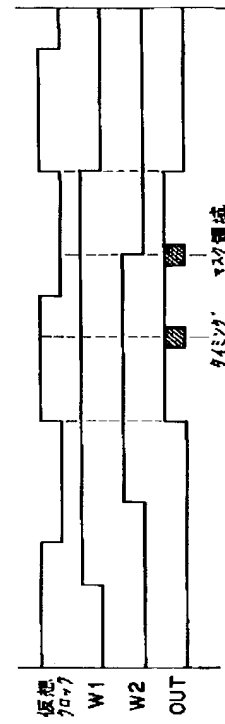
【図13】

最速動作周波数に対応する  
最小動作周期の説明図



【図17】

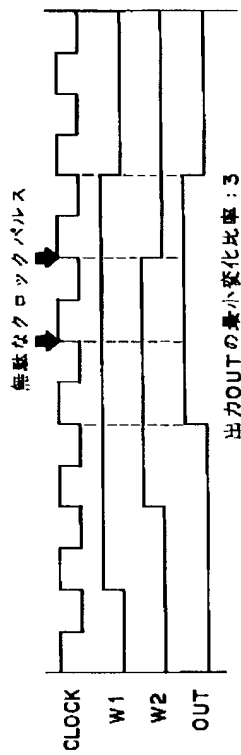
図15の回路に対する仮想クロックの  
設定を説明する図





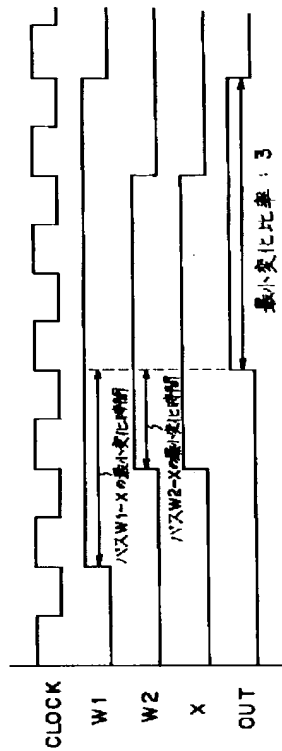
【図16】

図15の論理回路に対するシミュレーション  
結果を示す図



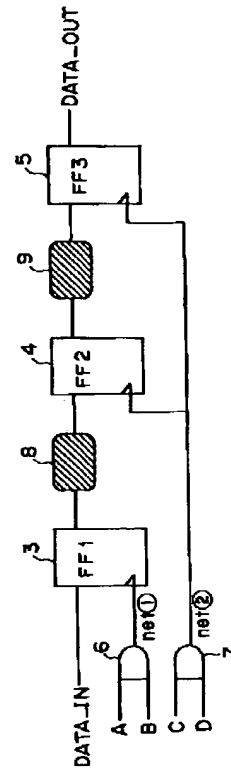
【図18】

図15の回路に対するアンド回路44の出力Xを  
含めた機能シミュレーション結果を示す図



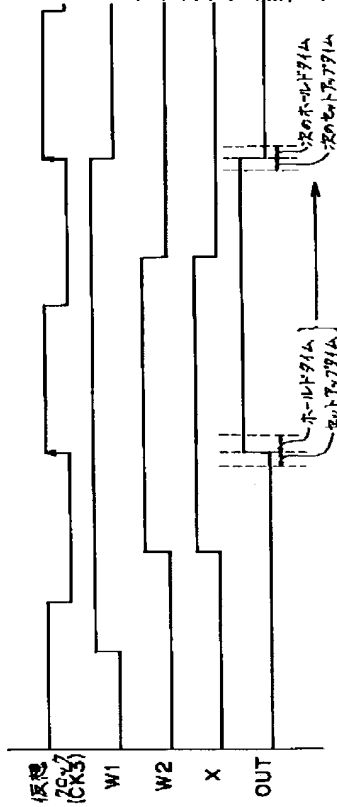
【図24】

非同期、多相クロックを利用した  
論理回路の例を示す図



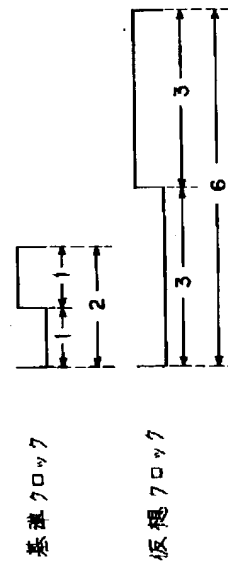
【図19】

仮想クロックとセットアップタイムおよび  
ホールドタイムの関係を示す図



【図20】

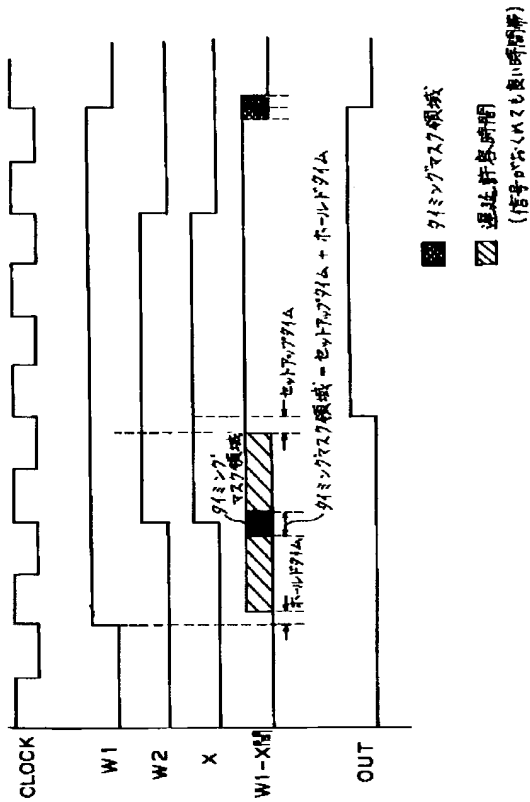
仮想クロックと基準クロックの周期の  
関係を説明する図



仮想クロック周期 = 基準クロック周期 × 最小変化比率

【図21】

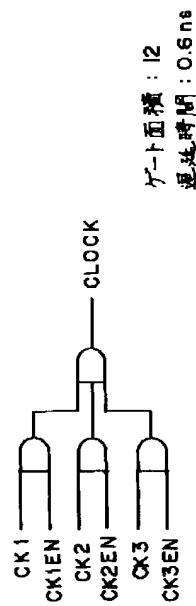
タイミングマスク領域の詳細説明図



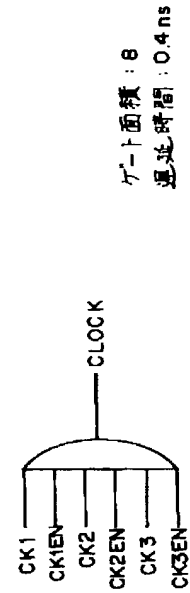
【図22】

組み合わせ回路のゲート面積および

遅延時間の最適化を説明する図



(a)



(b)

【図25】

非同期論理回路のフロック設定の従来手法と  
説明する図

